

다중 채널 FeRAM 시스템

이후웅^o 원유집

한양대학교

oihtoto@ece.hanyang.ac.kr, yjwon@ece.hanyang.ac.kr

Multi channel FeRAM system

Hu-ung Lee^o Youjip Won

Hanyang University

요 약

본 논문에서는 DRAM 을 대신하여 FeRAM 을 주 메모리로 사용 가능한 다중 채널 FeRAM 시스템을 설계한다. FeRAM 의 비 휘발성과 저 전력 소모의 장점을 활용하는 한편 DRAM 에 비해 느린 읽기/쓰기 속도는 다중 채널을 이용한 병렬 처리와 FPGA 내부 버퍼를 사용함으로써 극복하였다. 다중 채널 FeRAM 시스템의 구현을 위하여 32개의 8MB FeRAM 칩을 사용하여 256MB FeRAM 보드를 설계하였으며 FPGA 보드, ARM CPU 보드를 사용하여 프로토 타입 시스템을 구성하였다.

1. 서 론

FeRAM(Ferroelectrics Random Access Memory) 은 강 유전체를 기억 소자로 하는 Non-Volatile RAM (NVRAM) 의 일종으로 DRAM 의 빠른 쓰기 속도 및 무작위 접근의 특성과 플래시 메모리의 비 휘발성의 장점을 동시에 가지고 있다[1]. FeRAM 을 FRAM 이라고도 하는데 이는 FeRAM 의 원천기술업체인 미국 램트론(Ramtron International) 사의 등록상표이다.

FeRAM 은 비 휘발성 메모리인 플래시 메모리나 휘발성 메모리의 일종인 DRAM 에 비해 여러 가지 장점을 갖고 있다. FeRAM 은 플래시 메모리에 비해 전력 소모가 낮고 쓰기 속도가 빠르며 읽기와 쓰기 속도가 동일하다. 플래시 메모리가 쓰거나 지우기 동작에 대해 100,000 번 정도의 비교적 낮은 내구성을 가지고 있는데 반해 FeRAM 은 10^{12} 번의 높은 내구성을 가지고 있다. 또한 플래시 메모리는 구조상 덮어쓰기를 하기 위해서 일단 해당 블록을 지워야 하는데, 쓰기 동작이 페이지 단위로 이루어지는데 비해 지우기 동작은 블록 단위로 이루어지므로 해당 블록의 다른 페이지들을 백업하는 오버헤드가 발생한다. 이에 반해 FeRAM 은 덮어쓰기 위해 지우기 동작이 선행될 필요가 없으므로 컴퓨팅 시스템의 주 메모리로 사용되기에 더 적합한 특성을 가지고 있다[2]. 또한 휘발성 메모리인 SDRAM 에 비해서도 읽기/쓰기 속도가 크게 느리지 않으며 전원이 꺼진 후에도 데이터를 유지할 수 있고 셀의 데이터를 유지하기 위해 리프레쉬(refresh) 동작을 할 필요가 없으므로

읽기/쓰기 동작을 할 때나 대기 중의 전력 소모를 줄일 수 있다는 장점이 있다[3][4].

반면에 FeRAM 은 SDRAM 과 플래시 메모리에 비해 집적도가 낮아 저장 용량이 작다. 또 FeRAM 관련 기술 개발 수준이 높지 않고 대량 생산 체제를 갖추고 있지 않아 용량 당 가격이 높다. 이로 인해 아직 큰 용량을 요구하는 시스템의 주 메모리나 저장 장치로 사용하기 힘들다는 문제가 있다[2]. 아래 표 1. 에 각 메모리의 특성을 비교하여 정리하였다.

표 1. 메모리 특성 비교[2]

		플래시 메모리		Volatile	NVRAM
		NAND	NOR	SDRAM	FeRAM
비 휘발성		○	○	X	○
접근 단위	읽기/쓰기	Page	Byte	Byte	Byte
	지우기	Block	Block	-	-
접근 시간	읽기	12us	110ns	40 ~ 75ns	110ns
	쓰기	200us	80us	40 ~ 75ns	110ns
	지우기	2ms	0.6s	-	-
내구성 (최대 쓰기/지우기 횟수)		10^5	10^5	10^{15}	10^{12}
가격 (\$ / MB)		0.0049	0.9111	0.0073	47.04

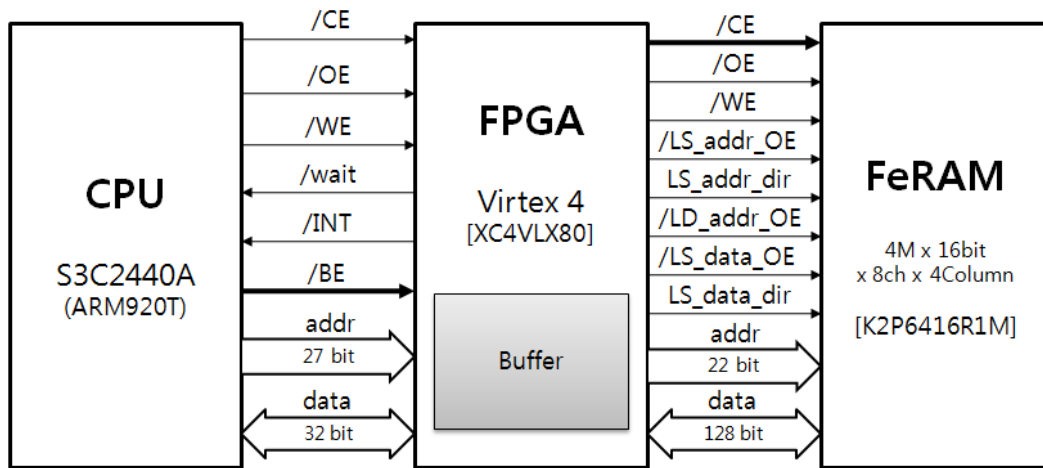


그림 1. 다중 채널 FeRAM 시스템 개념도

2. FeRAM vs. SDRAM

설계에 사용한 FeRAM은 “삼성, 4M x 16 bit Low Voltage Ferro-electric RAM” [5]으로 현존하는 최대 용량의 FeRAM 칩이지만 SDRAM이나 일반적인 FeRAM에 비해 다음과 같은 문제점을 갖고 있다.

첫째, SDRAM은 순차적인 주소의 읽기/쓰기 속도를 높이기 버스트(burst) 전송 모드를 지원한다[6]. 버스트 전송이 요청 되었을 경우 SDRAM은 추가적인 읽기/쓰기 요청을 기다리지 않고 자동으로 주소를 증가시키면서 정해진 버스트 전송 크기만큼 읽기/쓰기 동작을 수행함으로써 데이터 처리율을 향상시킨다. 일반적으로 FeRAM도 이와 유사한 페이지(page) 모드 전송을 지원하지만, 설계에 사용한 FeRAM은 페이지 모드 읽기/쓰기를 지원하지 않는다[5][7]. 따라서 FeRAM의 기본적인 읽기/쓰기 속도도 SDRAM에 비해 느린데다 페이지 전송 모드를 지원하지 않으므로 실제 시스템에서 순차 읽기/쓰기가 발생했을 경우 SDRAM에 비해 시간당 데이터 처리량이 현저하게 낮아 질 수 있다.

둘째, 일반적인 FeRAM은 byte 단위 접근을 위해 SRAM과 같은 UB(Upper byte) / LB(Lower byte) 신호를 지원하며[7], SDRAM은 이와 유사하게 DQM(Data input/output mask) 신호를 지원한다[6]. 이 신호들은 16bit 이상의 데이터 입출력 핀을 가진 메모리의 상위 혹은 하위 8bit 데이터 핀을 Hi-Z(Hi impedance) 상태로 만들어 byte 단위의 접근을 가능하게 한다. 하지만 설계에 사용한 FeRAM은 UB / LB 신호를 지원하지 않는다[5]. 따라서 byte 단위 접근을 위해서는 별도의 서브 시스템이 필요하다.

제안한 시스템에서는 SDRAM에 비해 상대적으로 느린 FeRAM의 데이터 처리율을 높이기 위해 여러 개의 FeRAM 칩을 다중 채널로 구성하여 동시에 여러

개의 FeRAM 칩에 읽기 및 쓰기가 가능하게 하였으며, FPGA에 FeRAM 컨트롤러 및 이중 포트 램(True Dual-port RAM)을 구현하여 읽기/쓰기 동작을 워드 단위가 아닌 섹터 단위로 이루어지게 했다. 또한 byte 단위 읽기/쓰기를 지원하기 위해 FPGA에 byte addressing 서브 시스템을 구현하였다.

3. 다중 채널 FeRAM 시스템

제안한 시스템은 크게 CPU 보드, FPGA 보드, FeRAM 보드의 3 부분으로 나눌 수 있다. FPGA 보드를 기반으로 CPU 보드와 FeRAM 보드를 옵션 보드 형태로 연결하여 시스템을 구성하였다. 3절에서는 각 부분의 기본적인 역할에 대해서 간략하게 소개하며 3.1~3.3절에 다중 채널 FeRAM 시스템에 사용된 각 보드의 구성, 동작과 데이터 흐름에 대해 자세히 설명한다. 그림 1.은 다중 채널 FeRAM 시스템의 개념도이다.

CPU 보드는 Base 보드의 FPGA에 512byte 단위로 읽기 및 쓰기 명령과 27bit 주소를 전송하고, FPGA와 연결된 32bit 데이터 입출력 버스를 통해 데이터를 전송한다. 또 PC와 UART를 통해 통신하며 터미널을 사용해 사용자가 FeRAM을 제어할 수 있게 한다. FPGA에서 wait 신호가 전송 되었을 경우 그 시간 동안 읽기/쓰기 요청 신호를 지연하며, INT 신호를 받았을 경우에는 CPU의 인터럽트 처리 루틴에 따라 외부 인터럽트를 처리한다.

FPGA 보드는 CPU 보드와 FeRAM 보드를 연결하는 Base 보드의 역할을 담당한다. CPU에서 전송 받은 제어 신호 및 주소를 디코딩하여 FeRAM에 쓰거나 읽기 명령을 내리며, 쓰기 동작일 경우 CPU에서 전해 받은 512byte의 데이터를 FPGA 내부에 설계된 버퍼에 저장한 후 FeRAM에 128bit 씩

전송한다. FeRAM 에서 쓰기 지연이 될 경우나 의도적으로 읽기나 쓰기 요청 신호를 지연시킬 필요가 있을 경우 CPU 로 wait 신호를 전송하며, FPGA 내부에 있는 버퍼가 모두 찼을 경우 INT 신호를 CPU 에 전달하여 이를 알린다. 추가적으로 byte 단위의 쓰기 명령을 받았을 경우 이중 포트 램 내부에서 해당 byte 를 처리하고 FeRAM 에 쓰기 동작을 시작한다.

FeRAM 보드는 4M x 16bit 규격의 FeRAM 칩 32개를 8채널로 구성하고 각 채널당 4개의 칩을 배열하여 128bit 의 데이터 버스와 256MB 의 용량을 갖고 있다. FPGA 에서 전송 받은 제어 신호와 주소를 바탕으로 128bit 씩 데이터를 읽거나 쓴다.

3.1. CPU 보드

CPU 보드에는 ARM 9 계열의 ARM920T 기반의 S3C2440A MCU가 탑재되어 있다. 코어 클럭(FCLK) 은 266.72MHz 를 사용하였고 HCLK 은 66.68MHz, PCLK 은 33.34MHz 를 각각 사용하였다. 4M x 4Banks x 16bit 규격의 SDRAM 2개를 연결하여 총 64MB 용량의 SDRAM 이 탑재되어 있으며, FeRAM 과 SDRAM 중에 주 메모리를 선택하여 사용할 수 있도록 하였다. SDRAM 과 FeRAM 은 모두 AHB(Advanced High performance Bus) 에 연결되어 있으므로 양쪽 모두 HCLK 를 사용한다.

S3C2440A 의 메모리 주소는 0x00000000 부터 0x40000000 까지 1GB 의 공간을 0번 부터 7번 까지 총 8개의 128MB 뱅크로 나누어 사용하는데, 이 중 SDRAM 은 6번 뱅크에 연결되어 있고 FeRAM 은 4번과 5번 뱅크에 연결되어 있다. S3C2440A 는 내부의 메모리 컨트롤러를 사용하여 각각의 메모리를 제어하는데 물리 주소를 사용하여 각각의 메모리에 직접 접근할 수 있다[8]. 부트로더 및 펌웨어를 저장하기 위해 CPU 보드에 실장된 1MB 의 NOR 플래시와 32MB NAND 플래시를 사용하였다. PC 와는 기본적으로 UART 를 통한 시리얼 통신을 하며 터미널을 사용해서 PC 에서 FeRAM 의 정보를 보거나 읽기/쓰기 명령을 내릴 수 있다. 또한 대용량 데이터 전송을 위해 USB 1.1, LAN, JTAG 인터페이스를 지원한다.

CPU 는 FeRAM 에 섹터 단위로 접근한다. S3C2440A 내부의 메모리 컨트롤러는 FeRAM 을 제어하기 위해 Chip Enable(CE), Out Enable(OE), Write Enable(WE) 와 byte 단위 접근을 위한 Byte Enable(BE) 등의 제어 신호를 전송한다. FeRAM 의 주소 선택을 27bit 사용하며, 32bit 데이터 버스 라인을 통해 FPGA 와 데이터를 주고 받는다. 추가적으로 FPGA 에서 wait 신호가 전송 되었을 경우, 진행 중인 읽기/쓰기 사이클을 wait 신호가 유지되는 만큼 지연시킨다. CPU 는 FeRAM 보드를 일종의 블록

장치(block device) 로 보기 때문에 FPGA 와 32bit 데이터 버스를 사용하여 블록 넘버를 주고 받는다. FeRAM 에 읽기/쓰기 요청을 하는 중에 FPGA 에서 INT 신호가 전송될 경우 인터럽트 처리 루틴에 의해 외부 인터럽트를 처리하고 다음 블록의 읽기/쓰기 요청을 진행한다.

3.2. FPGA 보드

FPGA 는 Xilinx 사의 Virtex 4 XC4VLX80 가 사용되었다. XC4VLX80 는 80640 로직 셀을 갖고 있으며 최대 450KB 의 내부 블록 램(Block RAM) 을 사용할 수 있다[9]. 제안한 시스템은 Xilinx LogiCORE™ IP Block Memory Generator 를 사용하여 이중 포트 램(True Dual-port RAM) 을 FPGA 내부에 구현하여 버퍼로 활용한다. 다음 그림 2. 는 FPGA 에 구현된 FeRAM 컨트롤러의 상태를 나타낸다.

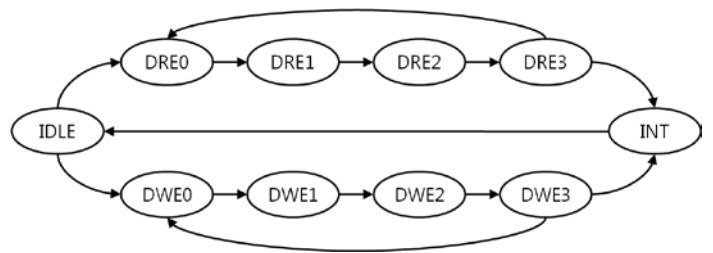


그림 2. FeRAM 컨트롤러의 상태도

FeRAM 컨트롤러는 최초 IDLE 상태에서 CPU 의 FeRAM 제어신호를 기다린다. CPU 에서 읽기 신호가 전송될 경우 DRE0 상태로 전환되며 tAS(Address Set-up Time) 동안 CPU 에서 전송된 블록 번호와 주소를 바탕으로 FeRAM 의 주소를 디코딩하여 FeRAM 에 전달하며 이 때 FeRAM은 Output Disabled 상태가 된다. 이후 컨트롤러는 DRE1 상태가 되며 FeRAM 에 읽기 명령을 전달하고 tRC(Read Cycle Time) 동안 유지한다. tRC 이후에는 DRE2 상태로 전환되며 tAH(Address Hold Time) 동안 FeRAM 을 Output Disabled 상태로 유지시킨다. DRE3 상태에서는 tHZ(Chip Disable to High-Z output) 동안 FeRAM 에서 128bit 씩 출력되는 데이터를 FPGA 내부 이중 포트 램에 저장하며 동시에 이 데이터를 32bit 씩 CPU 에 전달한다. DRE3 상태에서 버퍼가 가득 차면 INT 상태로 분기하고 그렇지 않을 경우 DRE0 상태로 돌아가서 다음 128bit 데이터 읽기 작업을 수행한다. INT 상태에서는 CPU 에 인터럽트 요청을 해서 FPGA 내부 버퍼가 가득 찼음을 알리며 인터럽트가 처리되기를 기다린 후 초기 상태인 IDLE 상태로 돌아간다. CPU 에서 쓰기 신호가 전송될 경우에는 DWE(Data Write Enable) 상태로 전환되며 DRE(Data Read Enable) 상태에서와 반대의 순서로

동작하여 CPU 에서 전달된 512byte 의 데이터를 FPGA 내부 이중 포트 램을 거쳐 128bit 씩 FeRAM 에 저장한다.

3.3. FeRAM 보드

설계에 사용된 FeRAM 은 4M x 16bit 규격으로 읽기/쓰기 시간은 120ns 이다[4]. 총 32개의 FeRAM 칩을 8채널 x 4열로 배열하여 시스템을 구성하였으며 총 용량은 256 MB 이다. FeRAM 칩을 단일 채널로 사용했을 경우 최대 전송 속도가 약 16.6 MB/s 이므로 제안한 시스템의 최대 전송 속도는 이론적으로 약 133 MB/s 이다. 동작 전압은 2.0v ~ 2.4v 로 FPGA 출력 전압 인 3.3v 보다 낮은 것을 감안하여 LS(Level-Shifting Transceiver) 를 각 채널에 사용하였으며 FeRAM 칩에 충분한 전류를 공급하기 위해 각 열마다 LD(Line Driver) 를 사용했다.

LS 의 OE(Output Enable), Dir(Direction) 제어신호와 LD 의 OE 는 FPGA의 FeRAM 컨트롤러가 생성하여 FeRAM 으로 전송한다. FPGA의 FeRAM 컨트롤러에서 전송하는 CE 신호에 따라 동작할 칩이 활성화되며 WE, OE 과 LS의 Dir 신호에 따라 읽기 및 쓰기 동작이 결정된다. 128bit 의 데이터 라인은 모두 8개의 LS 로 통제되며 22bit 의 주소는 그와 별도로 설치된 2개의 LS 를 거친 후 LD 로 분배되어 각 열의 FeRAM 칩에 주소를 전송한다. 그림 3. 은 실제로 구현한 다중 채널 FeRAM 시스템의 프로토 타입 보드이다. 화면 상단 중앙에 CPU 보드, 우측에 FeRAM 보드, 그리고 가장 아래 FPGA 보드가 베이스 보드로서 이 둘을 연결한다.

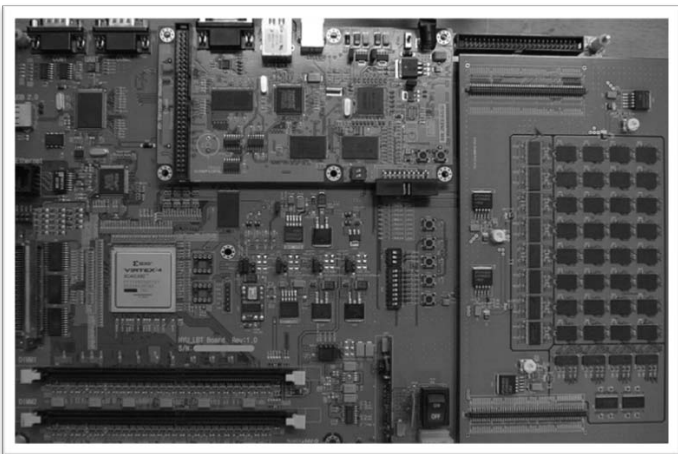


그림 3. 다중 채널 FeRAM 시스템 프로토 타입 보드

4. 결론

본 논문에서는 컴퓨팅 시스템의 주 메모리로 사용 가능한 다중 채널 FeRAM 시스템 구조를 제안하였다. 다중 채널을 사용한 병렬 처리와 FPGA 내부 버퍼의 활용 및 섹터 단위 접근 등의 기법을 사용하여 데이터 처리율을 향상 시켰다. 앞으로의 연구를 통해 제안한 FeRAM 기반의 시스템에서 IOPS(Input/Output Operations Per Second) 를 측정하여 다중 채널 FeRAM 시스템의 성능을 평가하고 CPU 보드에 내장 된 SDRAM과 이를 비교하는 실험을 수행할 것이다.

5. 사사

이 연구는 2007년도 정부(교육과학기술부)의 재원으로 도약연구(구NRL) 사업의 지원을 받아 수행되었음 (No. 2007-0057032).

참고문헌

- [1] Hee-Bok Kang, Bok-Gil Choi and Man Young Sung, A Nonvolatile Refresh Scheme Adopted 1T-FeRAM for Alternative 1T-DRAM, JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE, VOL.8, NO.1, Mar. 2008.
- [2] In Hwan Doh, Young Je Moon, Jung Soo Park, Eunsam Kim, Jongmoo Choi, Donghee Lee, Sam H. Noh, In Search of Alternative Uses of Byte-Addressable Non-Volatile RAM: A Case Study of a Green Web Server Cluster, WISH 2009, Mar. 2009.
- [3] Takashima D., Nagadomi Y., Hatsuda K., Watanabe Y. and Fujii S., A 128Mb ChainFeRAMTM and System Designs for HDD Application and Enhanced HDD Performance, IEEE Asian Solid-State Circuits Conference, Nov. 2009.
- [4] Xiangyu Dong., Muralimanohar N., Jouppi N., Kaufmann R., Yuan Xie, Leveraging 3D PCRAM Technologies to Reduce Checkpoint Overhead for Future Exascale Systems, ACM SC09, Nov. 2009.
- [5] SAMSUNG ELECTRONICS, 4M x 16bit Low Voltage Ferro-electric RAM, FRAM datasheet, Jan. 2006.
- [6] SAMSUNG ELECTRONICS, 256Mb E-die SDRAM Specification, SDRAM datasheet, May 2004.
- [7] Ramtron International Corporation, FM22L16 4Mbit FRAM Memory, FRAM datasheet, Mar. 2007.
- [8] SAMSUNG ELECTRONICS, S3C2440A 32-Bit CMOS Microcontroller User's Manual Revision 1, July 2004.
- [9] XILINX, Virtex-4 Family Overview, Virtex-4 FPGA datasheet, Sep. 2007.